

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-008741
 (43)Date of publication of application : 12. 01. 1996

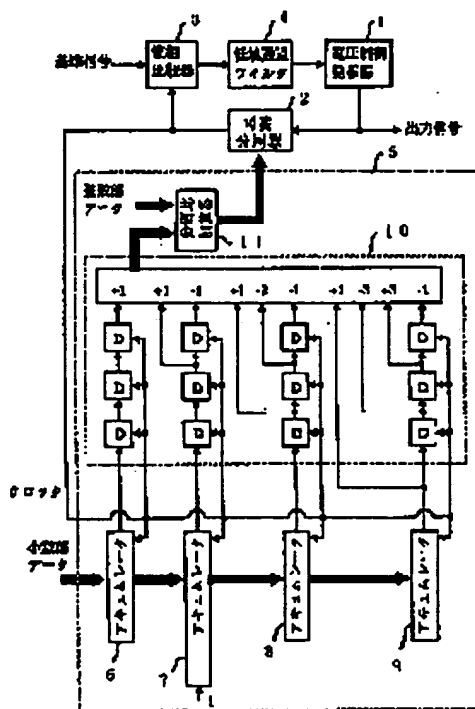
(51) Int. Cl. H03L 7/183

(21)Application number : 06-133433 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 15. 06. 1994 (72)Inventor : ADACHI HISASHI
 KOSUGI HIROAKI
 UENO TOMOKI

(54) FREQUENCY SYNTHESIZER

(57) Abstract:

PURPOSE: To reduce spurious at a point near the center frequency of an output signal for a frequency synthesizer which controls the frequency of the output signal at an interval smaller than that of the frequency of a reference signal.
CONSTITUTION: A dividing ratio control circuit 5 consists of the accumulators 6-9 which are connected to each other in multiple stages, and a mantissa part calculation circuit 10 which changes the dividing rate by the carry signals received from the accumulators 6-9. Thus the dividing ratio of a variable divider 2 of a phase locked loop varies approximately for each clock. Then '1' is added to the lowest order bit of the accumulator 7 for each clock so that the changing cycle of the dividing rate is varied. Thus the spurious can drastically be reduced at a point near the center frequency of an output signal.



LEGAL STATUS

[Date of request for examination] 12. 11. 1999
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3218149

[Date of registration] 03.08.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8741

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl. ⁴ H03L 7/183	識別記号 庁内整理番号	F I H03L 7/18	技術表示箇所 B
---	----------------	------------------	-------------

審査請求 未請求 請求項の数5 OL (全9頁)

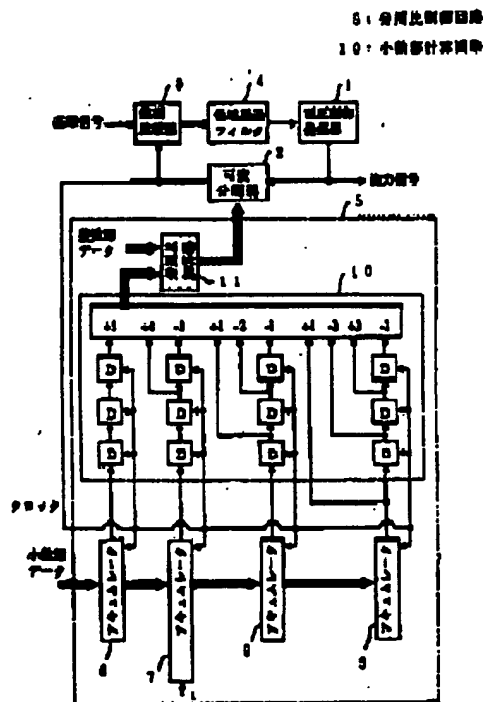
(21) 出願番号 特願平6-133433	(71) 出願人 00005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日 平成6年(1994)6月16日	(72) 発明者 足立 寿史 大阪府門真市大字門真1006番地 松下電器産業株式会社内
	(72) 発明者 小杉 裕昭 大阪府門真市大字門真1006番地 松下電器産業株式会社内
	(72) 発明者 上野 伴希 大阪府門真市大字門真1006番地 松下電器産業株式会社内
	(74) 代理人 弁理士 松田 正憲

(54) 【発明の名称】 周波数シンセサイザ

(57) 【要約】

【目的】 基準信号周波数よりも小さな周波数間隔で出力信号周波数を制御する周波数シンセサイザで、出力信号の中心周波数近傍のスプリアスを低減する。

【構成】 分周比制御回路5は多段に接続したアキュムレータと、各アキュムレータのキャリー信号によって分周比を変化させる小数部計算回路10からなる。これにより位相同期ループの可変分周器2の分周比がほぼ毎クロック変化する。アキュムレータ7の最下位ビットにクロックごとに1を加算することで、分周比の変化の周期を変え、出力信号の中心周波数の近傍に発生するスプリアスを大きく低減する。



(2)

特開平8-8741

1

【特許請求の範囲】

【請求項1】 位相同期ループを構成する電圧制御発振器と可変分周器と位相比較器と低域通過フィルタと前記可変分周器の分周比を制御する分周比制御回路とを備え、

前記位相比較器は前記可変分周器の出力信号と基準信号の位相差を検出し、前記位相比較器の出力信号は前記低域通過フィルタによって平均化されて前記電圧制御発振器の出力信号周波数を制御し、

前記分周比制御回路は、複数のアキュムレータと、前記アキュムレータから発生するキャリア信号を入力とする小数部計算回路と、分周比加算器とを有し、

前記分周比制御回路は、前記可変分周器の出力をクロックとして動作し、

前記複数のアキュムレータは、それぞれ加算器とレジスタで構成され、

前記レジスタは、クロックに同期して動作し、1段目のレジスタの出力は1段目の加算器に接続するとともに(i+1)段目のアキュムレータに接続し、前記i段目の加算器は(i-1)段目の出力と前記i段目のレジスタの出力を加算した値を前記1段目のレジスタに入力し、1段目の加算器のみ外部より設定される小数部データと1段目のレジスタの出力を加算して前記1段目のレジスタに出力し、

前記加算器はそれぞれの最上位ビットの桁上げ信号をキャリア信号として出力し、

前記複数のアキュムレータはそれぞれの最上位ビットが同じ桁となるように接続し、

前記複数のアキュムレータの少なくとも一つはクロックごとに常に最下位ビットに1を加算する回路を備え、

前記小数部計算回路は、前記複数のアキュムレータの1段目から生じたキャリア信号を(i-1)段目のアキュムレータから生じたキャリア信号よりも1クロック少なくとも遅延させ、 $(1-x)^{(i-1)}$ の展開式の各項をxのべき乗数の小さい順に並べたときの係数値をクロックごとに順に求め、各クロックにおいて各段で生じる値の和を出力し、

前記複数のアキュムレータに含まれるすべてのレジスタのデータは小数部データを新たに設定するたびに0に設定され、

前記分周比加算器は、前記小数部計算回路の出力と整数部データを加算して前記可変分周器の分周比を設定し、前記電圧制御発振器の出力信号周波数は、前記可変分周器の分周比の平均値と基準信号周波数の積に等しいことを特徴とする周波数シンセサイザ。

【請求項2】 複数のアキュムレータの2段目以降で最もビット数の多いアキュムレータの最下位ビットにクロックごとに1を加算することを特徴とする請求項1記載の周波数シンセサイザ。

【請求項3】 1段目のアキュムレータのビット数は、

2

出力周波数精度を満足するのに必要なビット数よりも多く、かつ、前記1段目のアキュムレータは複数のアキュムレータのなかで一番ビット数が多く、外部から入力される小数部データに関わらずクロックごとに前記1段目のアキュムレータの最下位ビットに1を加算する回路を備えることを特徴とする請求項1記載の周波数シンセサイザ。

【請求項4】 1段目のアキュムレータのビット数は、出力周波数精度を満足するのに必要なビット数よりも多く、かつ、前記1段目のアキュムレータは複数のアキュムレータのなかで一番ビット数が多く、外部より入力する小数部データの最下位ビットを常に1とすることによりクロックごとに前記1段目のアキュムレータの最下位ビットに1を加算することを特徴とする請求項1記載の周波数シンセサイザ。

【請求項5】 小数部データが0以外の場合は少なくとも一つのアキュムレータの最下位ビットに1を加算し、小数部データが0の場合は前記アキュムレータの最下位ビットに1を加算しないことを特徴とする請求項1記載の周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、設定可能な出力周波数間隔よりも基準信号の周波数が高い周波数シンセサイザに関するものである。

【0002】

【従来の技術】 従来、基準信号の周波数よりも小さな周波数間隔で出力信号の周波数を制御するには、通常の周波数シンセサイザの可変分周器の分周比を時間的に変化させ、平均値として小数点以下の精度の分周比を表現していた。このとき、単純に周期的に分周比を変化させると変化の周期の周波数成分がスプリアスとして出力に生じる。このスプリアスを低減するために、例えば米国特許4609881のように多段に接続したアキュムレータを用いる手法があった。

【0003】 図7にこの従来の基準信号の周波数よりも小さな周波数間隔で出力信号の周波数を制御する周波数シンセサイザ装置の構成図を示す。図7において、701は電圧制御発振器、702は可変分周器、703は位相比較器、704は低域通過フィルタ、705は分周比制御回路である。

【0004】 可変分周器702は分周比制御回路705から設定された値に従って電圧制御発振器701の出力信号周波数を分周して出力する。位相比較器703は可変分周器702の出力と基準周波数の位相を比較して位相差を出力する。位相比較器703の出力は低域通過フィルタ704を介して電圧制御発振器701に入力し、電圧制御発振器701の出力信号が基準信号に位相同期するように周波数を制御する。電圧制御発振器701の出力は出力信号として外部に出力されるとともに、可変

(3)

3

分周器702に入力する。

【0005】分周比制御回路705はアキュムレータ706、アキュムレータ707、アキュムレータ708、アキュムレータ709、小数部計算回路710、分周比加算器711から構成され、各回路は可変分周器702の出力をクロックとして動作する。

【0006】図8はアキュムレータ部の構成を示す。アキュムレータ706は加算器801、レジスタ802からなる。アキュムレータ706はクロックに同期して外部より設定された小数部データとレジスタ802の出力値を加算器801で加算し、レジスタ802の値を更新する。同様に、アキュムレータ707は加算器803、レジスタ804からなり、クロックに同期してアキュムレータ706の出力値とレジスタ804の出力値を加算器803で加算し、レジスタ804の値を更新する。アキュムレータ708及びアキュムレータ709はアキュムレータ707と同様の構成で動作する。各アキュムレータの中の各加算器はそれぞれ最上位ビットの桁上げ信号をキャリー信号として出力し、キャリー信号は小数部計算回路710に入力する。

【0007】小数部計算回路710は各アキュムレータから生じたキャリー信号に対し、クロックに同期して以下のように動作する。アキュムレータ706からキャリー信号が入力すると、+1を発生する。アキュムレータ707からキャリー信号が入力すると、+1、1クロック後に-1、を順に発生する。アキュムレータ708からキャリー信号が入力すると、+1、1クロック後に-2、2クロック後に+1、を順に発生する。アキュムレータ709からキャリー信号が入力すると、+1、1クロック後に-3、2クロック後に+3、3クロック後に-1、を順に発生する。このように、各クロックにおいて、各アキュムレータから生じるキャリー信号によって発生した値の合計を小数部計算回路710は出力する。分周比加算器711は、小数部計算回路710の出力と外部より設定された整数部データの値を加算し、その結果が分周比制御回路705の出力となり、可変分周器702の分周比を設定する。これにより、分周比の変化をほぼ毎クロック発生させ、分周比の変化の周波数成分を高くし、低い周波数成分を低くする。

【0008】アキュムレータ707、アキュムレータ708、アキュムレータ709から発生したキャリー信号によっておこる分周比の変化はそれぞれ時間平均が0になるので平均の分周比には影響せず、アキュムレータ706から発生するキャリーのみが平均の分周比に寄与する。ここで、整数部データをM、小数部データをK、アキュムレータ706のビット数をnビットとすると、アキュムレータ706は 2^n クロックの間にK回キャリーを発生し、K回分周比を(M+1)にするので、平均の分周比は $(M+K/2^n)$ となる。基準信号周波数を f_r とすると、出力周波数は $(f_r \cdot (M+K/2^n))$ とな

特開平8-8741

4

る。分周比の変化の周波数成分はVCOの出力信号にスプリアスとなって現れる。この従来例では、アキュムレータを4段接続することにより分周比の変化の周波数成分を大きくし、低い周波数成分を小さくする。これにより、出力信号の中心周波数近くのスプリアスを低くしている。

【0009】

【発明が解決しようとする課題】しかしながら上記のような構成では、可変分周器の変化の周波数成分は $(f_r \cdot K/2^n/4)$ という周波数成分を含むために、出力信号の中心周波数から $(f_r \cdot K/2^n/4)$ 離れるごとにスプリアスが発生する。このスプリアスは 2^n をKで除算した商が整数となるときに大きく発生するという問題を有していた。

【0010】本発明はかかる従来の周波数シンセサイザの課題に鑑み、基準信号周波数よりも小さな周波数間隔で出力信号周波数を制御し、かつ、出力信号のスプリアスを低減した周波数シンセサイザを提供することを目的とする。

20 【0011】

【課題を解決するための手段】上記問題を解決するために本発明の周波数シンセサイザは、複数のアキュムレータの少なくとも一つの最下位ビットにクロックごとに常に1を加算する構成を備えたものである。

【0012】

【作用】本発明は上記した構成によって、分周比が変化する周期を要する。これにより、周期的な分周比の変化による周波数成分を低減し、出力中心周波数の近傍に発生するスプリアスを低減する。

30 【0013】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0014】図1は本発明の第1の実施例における周波数シンセサイザの構成図である。図1において、1は電圧制御発振器、2は可変分周器、3は位相比較器、4は低域通過フィルタ、5は分周比制御回路である。以下その動作を説明する。

【0015】可変分周器2は分周比制御回路5から設定された値に従って電圧制御発振器1の出力信号周波数を分周して出力する。位相比較器3は可変分周器2の出力と基準周波数の位相を比較して位相差を出力する。位相比較器3の出力は低域通過フィルタ4を介して電圧制御発振器1に入力し、電圧制御発振器1の出力信号が基準信号に位相同期するように周波数を制御する。電圧制御発振器1の出力は出力信号として外部に出力されるとともに、可変分周器2に入力する。

【0016】分周比制御回路5はアキュムレータ6、アキュムレータ7、アキュムレータ8、アキュムレータ9、小数部計算回路10、分周比加算器11から構成され、各回路は可変分周器2の出力をクロックとして動作

50

5

する。

【0017】図2はアキュムレータ部の構成を示す。アキュムレータ6は加算器201、レジスタ202からなる。アキュムレータ6はクロックに同期して外部より設定された小数部データとレジスタ202の出力値を加算器201で加算し、レジスタ202の値を更新する。アキュムレータ7は加算器203、レジスタ204からなる。アキュムレータ7は、クロックに同期してアキュムレータ6の出力値とレジスタ204の出力値に加えて最下位ビットに1を加算器203で加算し、レジスタ204の値を更新する。アキュムレータ8及びアキュムレータ9はアキュムレータ6と同様の構成で動作する。各アキュムレータはそれぞれの最上位ビットが同じ桁になるように順次接続され、アキュムレータ7のビット数が最も多い。各アキュムレータの中の各加算器はそれぞれ最上位ビットの桁上げ信号をキャリー信号として出力し、キャリー信号は小数部計算回路10に入力する。各アキュムレータの中の各レジスタは小数部データが新たに設定されるたびにデータが0に設定される。

【0018】小数部計算回路10は、各アキュムレータから生じたキャリー信号に対し、クロックに同期して以下のように動作する。アキュムレータ6からキャリー信号が入力すると、3クロック後に+1が発生する。アキュムレータ7からキャリー信号が入力すると、2クロック後に+1、3クロック後に-1、を順に発生する。アキュムレータ8からキャリー信号が入力すると、1クロック後に+1、2クロック後に-2、3クロック後に+1、を順に発生する。アキュムレータ9からキャリー信号が入力すると、0クロック後に+1、1クロック後に-3、2クロック後に+3、3クロック後に-1、を順に発生する。このように、各クロックにおいて、各アキュムレータから生じるキャリー信号によって発生した値の合計を小数部計算回路10は出力する。分周比加算器11は、小数部計算回路10の出力と外部より設定された整数部データの値を加算し、その結果が分周比制御回路5の出力となり、可変分周器2の分周比を設定する。これにより、分周比の変化をほぼ毎クロック発生させ、分周比の変化の周波数成分を高くし、低い周波数成分を低くする。

【0019】アキュムレータ7、アキュムレータ8、アキュムレータ9から発生したキャリー信号によっておこる分周比の変化はそれぞれ時間平均が0になるので平均の分周比には影響せず、アキュムレータ6から発生するキャリーのみが平均の分周比に寄与する。ここで、整数部データをM、小数部データをK、アキュムレータ6のビット数をnビットとすると、アキュムレータ6は 2^n クロックの間にK回キャリーを発生し、K回分周比を $(M+1)$ にするので、平均の分周比は $(M+K/2^n)$ となる。基準信号周波数を f_r とすると、出力周波数は $(f_r \cdot (M+K/2^n))$ となる。

(4)

6

特開平8-8741

【0020】一般に、分周比の変化の周波数成分はVCOの出力信号にスプリアスとなって現れる。アキュムレータを4段接続すれば分周比の変化の周波数成分が大きくなり、低い周波数成分が小さくなる。よって、出力信号の中心周波数近くのスプリアスが低くなる。しかし、アキュムレータを4段接続した構成では、可変分周器の変化の周波数成分は $(f_r \cdot K/2^n/4)$ という周波数成分を含むために、出力信号の中心周波数から $(f_r \cdot K/2^n/4)$ 離れるごとにスプリアスが発生する。このスプリアスは 2^n をKで除算した商が整数となるときに大きく発生する。しかし、本実施例の構成によれば、アキュムレータ7の最下位ビットに常時1を加算することにより周期的な変化を乱しているため、 $(f_r \cdot K/2^n/4)$ の周波数成分が発生せず、出力信号の中心周波数から $(f_r \cdot K/2^n/4)$ 離れた周波数にスプリアスが発生しない。また、1を加算するのが最もビット数の多いアキュムレータの最下位ビットであるため、低い周波数成分の低減効果を損なうことがない。

【0021】以上のように本実施例によれば、アキュムレータを多段に接続し、最もビット数の多い2段目のアキュムレータの最下位ビットに毎クロック1を加算することにより、出力信号の中心周波数の近傍のスプリアスを大幅に改善することができる。

【0022】以下本発明の第2の実施例の周波数シンセサイザについて、図面を参照しながら説明する。

【0023】図3は本発明の第2の実施例における周波数シンセサイザの構成図である。図3は基本的には図1と同様なので同一箇所には同一の番号を付して説明を省略する。図3の構成と図1の構成では分周比制御回路に含まれるアキュムレータの構成が異なる。図3において、1は電圧制御発振器、2は可変分周器、3は位相比較器、4は低域通過フィルタ、305は分周比制御回路である。

【0024】分周比制御回路305はアキュムレータ306、アキュムレータ307、アキュムレータ308、アキュムレータ309、小数部計算回路10、分周比加算器11から構成され、各回路は可変分周器2の出力をクロックとして動作する。

【0025】図4はアキュムレータ部の構成を示す。アキュムレータ306は加算器401、レジスタ402からなる。アキュムレータ306はクロックに同期して外部より設定される小数部データとレジスタ402の出力値に加えて最下位ビットに1を加算器401で加算し、レジスタ402の値を更新する。アキュムレータ307は加算器403、レジスタ404からなる。アキュムレータ307は、クロックに同期してアキュムレータ306の出力値とレジスタ404の出力値を加算器403で加算し、レジスタ404の値を更新する。アキュムレータ308及びアキュムレータ309はアキュムレータ307と同様の構成で動作する。各アキュムレータはそれ

7

ぞれの最上位ビットが同じ桁になるように順次接続され、アキュムレータ306のビット数が最も多い。各アキュムレータの中の加算部はそれぞれ最上位ビットの桁上げ信号をキャリア信号として出力し、キャリア信号は小数部計算回路10に入力する。各アキュムレータの中の各レジスタは小数部データが新たに設定されるたびにデータが0に設定される。

【0026】小数部計算回路10は各アキュムレータから生じたキャリア信号に対し、クロックに同期して以下のように動作する。アキュムレータ306からキャリア信号が入力すると、3クロック後に+1を発生する。アキュムレータ307からキャリア信号が入力すると、2クロック後に+1、3クロック後に-1、を順に発生する。アキュムレータ308からキャリア信号が入力すると、1クロック後に+1、2クロック後に-2、3クロック後に+1、を順に発生する。アキュムレータ309からキャリア信号が入力すると、0クロック後に+1、1クロック後に-3、2クロック後に+3、3クロック後に-1、を順に発生する。このように、各クロックにおいて、各アキュムレータから生じるキャリア信号によって発生した値の合計を小数部計算回路10は出力する。分周比加算器11は、小数部計算回路10の出力と外部より設定された整数部データの値を加算し、その結果が分周比制御回路305の出力となり、可変分周器2の分周比を設定する。これにより、分周比の変化をほぼ毎クロック発生させ、分周比の変化の周波数成分を高くし、低い周波数成分を低くする。

【0027】アキュムレータ307、アキュムレータ308、アキュムレータ309から発生したキャリア信号によっておこる分周比の変化はそれぞれ時間平均が0になるので平均的分周比には影響せず、アキュムレータ6から発生するキャリアのみが平均的分周比に寄与する。ここで、整数部データをM、小数部データをK、アキュムレータ306のビット数をnビットとすると、アキュムレータ6はKに加えて1を加算しているので 2^n クロックの間に $(K+1)$ 回キャリアを発生し、 $(K+1)$ 回分周比を $(M+1)$ にするので、平均的分周比は $(M+(K+1)/2^n)$ となる。基準信号周波数を f_r とすると、出力周波数は $(f_r \cdot (M+(K+1)/2^n))$ となる。アキュムレータ306のビット数は出力周波数で許容される周波数誤差に対応する分解能を得るのに必要なビット数よりも多い。

【0028】一般に、分周比の変化の周波数成分はVCOの出力信号にスプリアスとなって現れる。アキュムレータを4段接続することにより分周比の変化の周波数成分を大きくし、低い周波数成分を小さくすることができる。これにより、出力信号の中心周波数近くのスプリアスを低くできる。このようにアキュムレータを4段接続した構成では、可変分周器の変化の周波数成分は $(f_r \cdot K/2^n/4)$ という周波数成分を含むために、出力

(5)

特開平8-8741

8

信号の中心周波数から $(f_r \cdot K/2^n/4)$ 離れるごとにスプリアスが発生する。このスプリアスは 2^n をKで除算した商が整数となるときに大きく発生する。しかし、本実施例の構成によれば、アキュムレータ306のビット数を出力周波数で許容される誤差に必要なビット数よりも多くし、最下位ビットに常時1を加算することにより分周比の変化の周期が極めて長くなる。中心周波数に極めて近い周波数では基準信号の位相雑音にスプリアスが隠されるために見かけ上スプリアスが発生しない。また、中心周波数の誤差は周波数精度の許容範囲よりも小さいので問題ない。

【0029】以上のように本実施例によれば、アキュムレータを多段に接続し、1段目のアキュムレータのビット数を出力周波数で許容される周波数誤差に対応する分解能を得るのに必要なビット数よりも多くし、1段目のアキュムレータの最下位ビットに毎クロック1を加算することにより、出力信号の中心周波数の近傍のスプリアスを大幅に改善することができる。

【0030】以下本発明の第3の実施例の周波数シンセサイザについて、図面を参照しながら説明する。

【0031】図5は本発明の第3の実施例における周波数シンセサイザの構成図である。図5は基本的には図1と同様なので同一箇所には同一の番号を付して説明を省略する。図5の構成と図1の構成では分周比制御回路の構成が異なる。図5において、1は電圧制御発振器、2は可変分周器、3は位相比較器、4は低域通過フィルタ、505は分周比制御回路である。

【0032】分周比制御回路505はアキュムレータ506、アキュムレータ507、アキュムレータ508、アキュムレータ509、小数部計算回路10、分周比加算器11、データ判定回路512から構成され、各回路は可変分周器2の出力をクロックとして動作する。

【0033】図6は分周比制御回路505の主要部の構成を示す。外部より入力される小数部データはデータ判定回路512を通過してアキュムレータ506に入力される。データ判定回路512は小数部データが0の場合は判定値出力として0を出力し、小数部データが0以外の場合は判定値出力を1とする。アキュムレータ506は加算器601、レジスタ602からなる。アキュムレータ506はクロックに同期して入力値とレジスタ602の出力値を加算器601で加算し、レジスタ602の値を更新する。アキュムレータ507は加算器603、レジスタ604からなる。アキュムレータ507は、クロックに同期してアキュムレータ506の出力値とレジスタ604の出力値に加えて最下位ビットにデータ判定回路512の判定値出力を加算器603で加算し、レジスタ604の値を更新する。アキュムレータ508及びアキュムレータ509はアキュムレータ506と同様の構成で動作する。各アキュムレータはそれぞれの最上位ビットが同じ桁になるように順次接続され、アキュムレ

(6)

特開平8-8741

9

タ507のビット数が最も多い。各アキュムレータの中
の加算器はそれぞれ最上位ビットの桁上げ信号をキャリ
ー信号として出力し、キャリールー信号は小数部計算回路1
0に入力する。各アキュムレータの中の各レジスタは小
数部データが新たに設定されるたびにデータが0に設定
される。

【0034】小数部計算回路10は各アキュムレータから
生じたキャリールー信号に対し、クロックに同期して以下
のように動作する。アキュムレータ506からキャリール
ー信号が入力すると、3クロック後に+1を発生する。ア
キュムレータ507からキャリールー信号が入力すると、2
クロック後に+1、3クロック後に-1、を順に発生す
る。アキュムレータ508からキャリールー信号が入力する
と、1クロック後に+1、2クロック後に-2、3クロ
ック後に+1、を順に発生する。アキュムレータ509
からキャリールー信号が入力すると、0クロック後に+1、
1クロック後に-3、2クロック後に+3、3クロック
後に-1、を順に発生する。このように、各クロックに
おいて、各アキュムレータから生じるキャリールー信号によ
って発生した値の合計を小数部計算回路10は出力す
る。分周比加算器11は、小数部計算回路10の出力と
外部より設定された整数部データの値を加算し、その結
果が分周比制御回路505の出力となり、可変分周器2
の分周比を設定する。これにより、分周比の変化をほぼ
毎クロック発生させ、分周比の変化の周波数成分を高く
し、低い周波数成分を低くする。

【0035】アキュムレータ507、アキュムレータ5
08、アキュムレータ509から発生したキャリールー信号
によっておこる分周比の変化はそれぞれ時間平均が0に
なるので平均の分周比には影響せず、アキュムレータ5
06から発生するキャリールーのみが平均の分周比に寄与
する。ここで、整数部データをM、小数部データをK、ア
キュムレータ506のビット数をnビットとすると、ア
キュムレータ506は 2^n クロックの間にK回キャリール
ーを発生し、K回分周比を $(M+1)$ にするので、平均の
分周比は $(M+K/2^n)$ となる。基準信号周波数を f_r
とすると、出力周波数は $(f_r \cdot (M+K/2^n))$ とな
る。

【0036】一般に、分周比の変化の周波数成分はVC
Oの出力信号にスプリアスとなって現れる。本実施例で
は、アキュムレータを4段接続することにより分周比
の変化の周波数成分を大きくし、低い周波数成分を小さく
する。これにより、出力信号の中心周波数近くのスプ
リアスを低くしている。また通常、アキュムレータを4段
接続した構成では、可変分周器の変化の周波数成分は
 $(f_r \cdot K/2^n/4)$ という周波数成分を含むために、
出力信号の中心周波数から $(f_r \cdot K/2^n/4)$ 離れる
ごとにスプリアスが発生する。このスプリアスは 2^n を
Kで除算した商が整数となるときに大きく発生する。し
かし、本実施例の構成によれば、アキュムレータ507

10

の最下位ビットに1を加算することにより周期的な変化
を乱しているため、 $(f_r \cdot K/2^n/4)$ の周波数成分
が発生せず、出力信号の中心周波数から $(f_r \cdot K/2^n
/4)$ 離れた周波数にスプリアスが発生しない。このと
き、1を加算するのが最もビット数の多いアキュムレー
タの最下位ビットであるため、低い周波数成分の低減効
果を損なうことがない。また、小数部データが0の場合
はデータ判定回路512の判定出力が0となり、すべての
レジスタの値が0に保たれる。そのため、各アキュム
レータの動作による雑音がなくなり、分周比の変化によ
る雑音もなくなり、より低雑音の出力信号を得ることが
できる。

【0037】以上のように本実施例によれば、アキュム
レータを多段に接続し、最もビット数の多いアキュムレ
ータの最下位ビットに毎クロック1を加算することによ
り、出力信号の中心周波数の近傍のスプリアスを大幅に
改善することができる。さらに、小数部データが0の場合
はさらに低雑音の出力信号を得ることができる。

【0038】なお、第1の実施例において、アキュムレ
ータ7のビット数が最も多いとしたが、アキュムレータ
8またはアキュムレータ9のビット数が最も多い、あるい
はすべて同じビット数としてもかまわない。また、アキュ
ムレータ8またはアキュムレータ9の最下位ビットに
1を加える構成としてもかまわない。

【0039】また、第2の実施例において、アキュムレ
ータ306の最下位ビットに1を加算する構成のかわりに、
アキュムレータ306では1を加えずに最下位ビッ
トに1を加えた小数部データを入力してもよい。

【0040】また、第3の実施例において、アキュムレ
ータ507のビット数が最も多いとしたが、アキュムレ
ータ508またはアキュムレータ509のビット数が最も
多い、あるいはすべて同じビット数としてもかまわな
い。また、アキュムレータ508またはアキュムレータ
509の最下位ビットにデータ判定回路1を加える構成
としてもかまわない。

【0041】

【発明の効果】以上述べたところから明らかなように、
本発明は、複数のアキュムレータを多段に接続して分周
比をほぼ毎クロック変化させ、複数のアキュムレータの
少なくとも一つにクロックごとに最下位ビットに1を加
算する構成とすることにより、出力信号の中心周波数の
近傍に発生するスプリアスを大きく低減することができ
る。

【図面の簡単な説明】

【図1】本発明の第1の実施例における周波数シンセサ
イザの構成図である。

【図2】第1の実施例の周波数シンセサイザのアキュム
レータ部の構成図である。

【図3】本発明の第2の実施例における周波数シンセサ
イザの構成図である。

(7)

特開平8-8741

11

【図4】第2の実施例の周波数シンセサイザのアキュムレータ部の構成図である。

【図5】本発明の第3の実施例における周波数シンセサイザの構成図である。

【図6】第3の実施例の周波数シンセサイザのアキュムレータ部の構成図である。

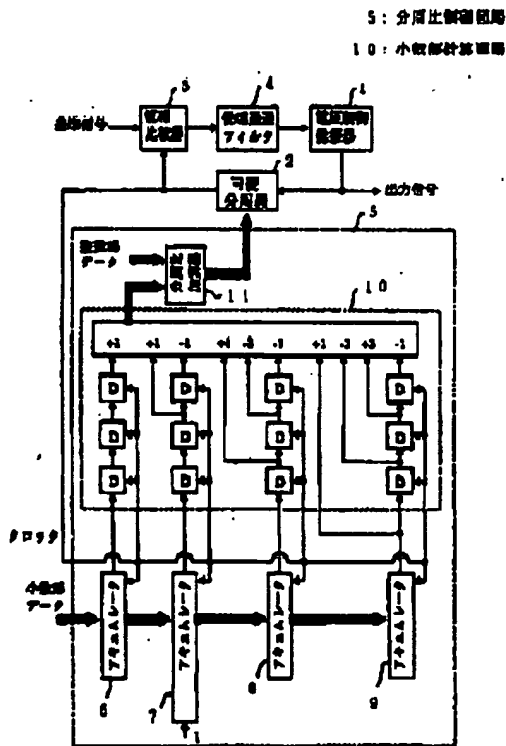
【図7】従来の周波数シンセサイザの構成図である。

【図8】従来の周波数シンセサイザのアキュムレータ部の構成図である。

【符号の説明】

- 1 電圧制御発振器
- 2 可変分周器
- 3 位相比較器
- 4 低域通過フィルタ
- 5 分周比制御回路
- 6 アキュムレータ
- 7 アキュムレータ
- 8 アキュムレータ
- 9 アキュムレータ
- 10 小数部計算回路
- 11 分周比加算器
- 201 加算器

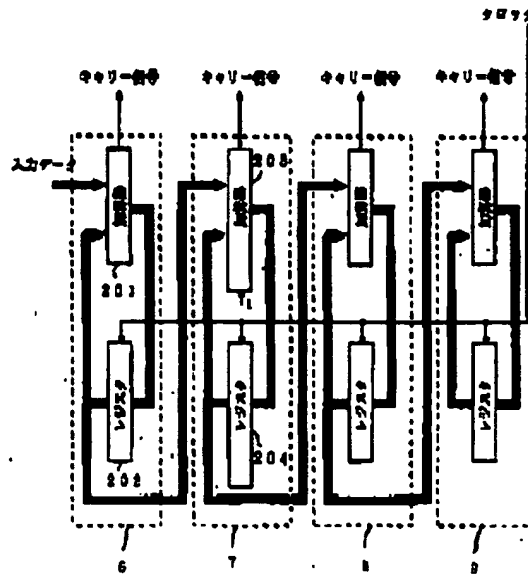
【図1】



12

- 202 レジスタ
- 203 加算器
- 204 レジスタ
- 305 分周比制御回路
- 306 アキュムレータ
- 307 アキュムレータ
- 308 アキュムレータ
- 309 アキュムレータ
- 401 加算器
- 10 402 レジスタ
- 403 加算器
- 404 レジスタ
- 505 分周比制御回路
- 506 アキュムレータ
- 507 アキュムレータ
- 508 アキュムレータ
- 509 アキュムレータ
- 512 データ判定回路
- 601 加算器
- 30 602 レジスタ
- 603 加算器
- 604 レジスタ

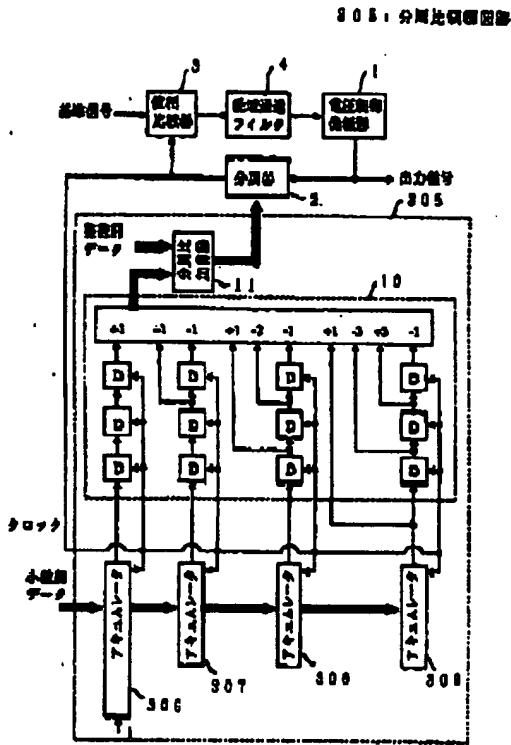
【図2】



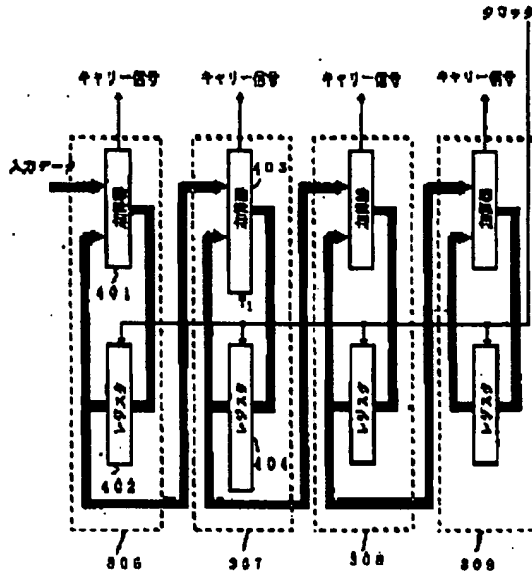
(8)

特開平8-8741

【図3】

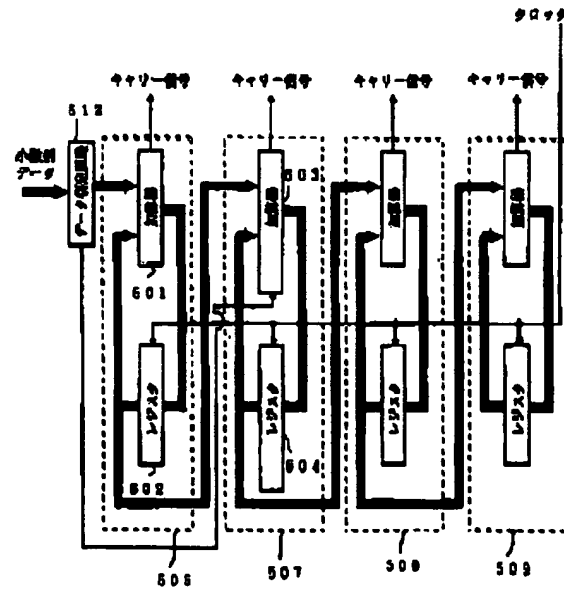
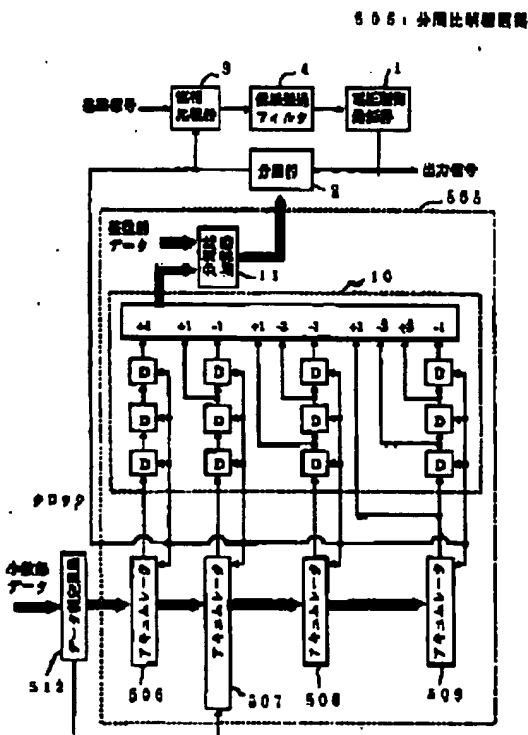


【図4】



【図6】

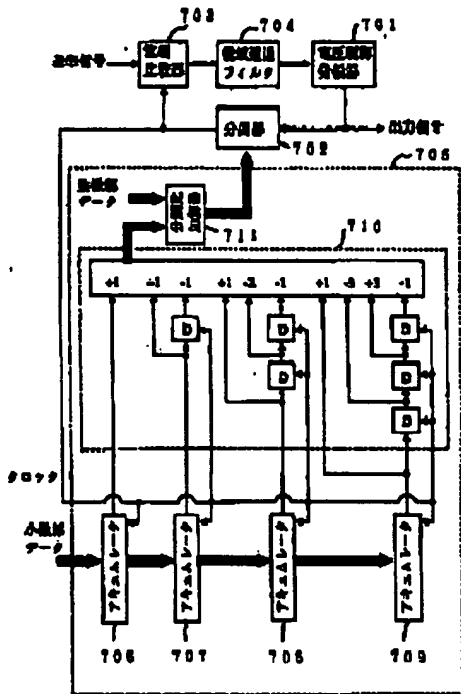
【図5】



(9)

特開平8-8741

【図7】



【図8】

